

JC879 U.S. PTO
10/090902
05/31/02

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 35424 호
Application Number PATENT-2001-0035424

출원 년 월 일 : 2001년 06월 21일
Date of Application JUN 21, 2001

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



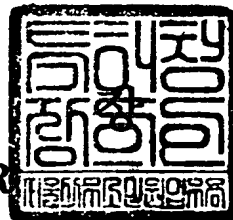
2001 년 11 월 27 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.06.21
【발명의 명칭】	비휘발성 메모리 장치의 소거 방법
【발명의 영문명칭】	ERASING METHOD IN A NON-VOLATILE MEMORY DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이용규
【성명의 영문표기】	LEE, YONG KYU
【주민등록번호】	690613-1821116
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골 주공9단지 909동 703호
【국적】	KR
【발명자】	
【성명의 국문표기】	김동준
【성명의 영문표기】	KIM, DONG JUN
【주민등록번호】	630211-1817119
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 967-2 극동A 614 1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	조민수
【성명의 영문표기】	CHO, MIN SOO
【주민등록번호】	710720-1024128
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 한솔마을한일아파트 304동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	류의열
【성명의 영문표기】	RYU, EUI YOUNG
【주민등록번호】	731126-1482135
【우편번호】	301-080
【주소】	대전광역시 중구 중촌동 시영아파트 8동 503호
【국적】	KR
【발명자】	
【성명의 국문표기】	김진호
【성명의 영문표기】	KIM, JIN HO
【주민등록번호】	650109-1074414
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 대림아파트 101동 1006 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	11	면	11,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	12	항	493,000	원
---------	----	---	---------	---

【합계】	533,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

비휘발성 메모리 장치의 소거 방법에 있어서, 소스 및 드레인 영역에 서로 다른 레벨의 전압을 스위칭시키면서 인가한다. 이로 인해, 소거 동작 동안, 소스 영역 및 드레인 영역 각각에 홀 주입 피크가 나타나게 되고 또한 소스 영역 및 드레인 영역 사이의 전압 차에 의해서 채널 측면 방향으로의 홀 주입 성분도 추가되어 전체적으로 균일하고 빠른 소거 동작을 할 수 있다.

【대표도】

도 5a

【명세서】

【발명의 명칭】

비휘발성 메모리 장치의 소거 방법{ERASING METHOD IN A NON-VOLATILE MEMORY DEVICE}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 EEPROM 장치의 프로그램 방법에서 트랜지스터 단자별 전압 인가를 개략적으로 나타내는 단면도이다.

도 2는 종래 기술에 따른 EEPROM 장치의 소거 방법에서 트랜지스터 단자별 전압 인가를 개략적으로 나타내는 단면도이다.

도 3a는 종래 기술에 따른 EEPROM 장치의 또 다른 소거 방법에서 트랜지스터 단자별 전압 인가를 개략적으로 나타내는 단면도이며, 도 3b는 여기에 대응하는 전압 인가 파형도이다.

도 4a는 본 발명에 따른 EEPROM 장치의 소거 방법에서 트랜지스터 각 단자별 전압 인가를 개략적으로 나타내는 단면도이다.

도 4b는 도 4a에서 소거 동작시 트랜지스터 각 단자에 인가하는 전압 파형을 개략적으로 나타내는 본 발명의 일 실시예에 따른 전압 인가 파형도이다.

도 4c는 도 4b의 전압 인가 파형도의 일 변형예를 도시하는 전압 인가 파형도이다.

도 4d는 도 4b에 따라 소거 전압을 인가 했을 경우 정공이 투입되는 방향을 나타내는 도면이다.

도 5a는 본 발명의 다른 실시예에 따른 소거 동작 전압 인가 파형도이다.

도 5b는 도 5a에 따라 소거 동작 전압을 인가 했을 경우, 채널 영역을 따라 정공이 주입되는 방향을 개략적으로 나타내는 도면이다.

도 5c는 도 5a에 따라 소거 동작 전압을 인가 했을 경우, 채널 영역을 따라 주입되는 정공 투입량을 개략적으로 나타내는 도면이다.

도 5d는 도 5a의 전압 인가 파형도의 일 변형예를 나타내는 전압 인가 파형도이다.

도 6a 및 도 6b는 본 발명의 또 다른 실시예에 따른 소거 동작 전압 인가 파형도이다.

도 7은 종래 기술 및 본 발명에 따른 소거시간에 대한 문턱전압의 변화를 측정한 그래프이다.

도 8a 내지 도 8c는 도 7의 각각의 사례에 대응하는 쓰기/소거 싸이클(write/erase cycle)에 대한 내성(endurance) 특성을 측정한 그래프이다.

도면의 주요 부분에 대한 부호의 설명

100 : p-형 벌크 120 : 드레인 영역

140 : 소스 영역 150 : 채널 영역

160 : 터널 산화막 180 : 질화막

200 : 차단 산화막 220 : ONO막

240 : 게이트 전극 500 : 트랜지스터

Vg : 게이트 전극에 인가하는 전압

Vb : p-벨크에 인가하는 전압

Vd : 드레인 영역에 인가하는 전압

Vs : 소스 영역에 인가하는 전압

Erase Time(Te) : 소거 시간

GND : 그라운드(접지)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<27> 본 발명은 반도체 메모리 장치에 관한 것으로서, 더욱 상세하게는 비휘발성 메모리 장치의 소거 방법에 관한 것이다.

<28> 비휘발성이면서 전기적으로 소거 프로그램 가능한 읽기 전용 메모리 (EEPROM:electrically erasable programmable read only memory) 반도체 장치는 크게 두 분야로 대별된다. 부유 게이트(floating gate) EEPROM과 폴리실리콘-차단 산화막-실리콘 질화막-터널 산화막-반도체(SONOS:polysilicon-blocking oxide-silicon nitride-tunnel oxide-semiconductor) EEPROM이 바로 그것이다.

<29> 이들 EEPROMs은 전기를 띤 입자(전하)를 부유 게이트인 폴리실리콘에 저장하거나, 질화막에 포획(trap)하여 문턱전압(threshold voltage)을 높이거나 낮추어 프로그램(또는 쓰기) 동작을 수행한다. 그리고, 읽기 전압(read voltage:Vr)을 인가하여 채널에 흐르는 전류를 센싱 회로를 이용하여 감지하여 특정 셀에

대해 읽기 동작을 수행하며, 폴리실리콘 또는 질화막에 저장된 전하를 제거함으로써 소거(erase) 동작을 진행한다.

<30> 특히 SONOS EEPROM 장치에 있어서, 소거 동작은 저장된 정보를 변경할 경우에 수행되며, 따라서 소자의 신뢰성을 확보하기 위해서는 저장된 전하가 채널 전 영역에서 완전히 균일하게 제거되는 것이 필요하다. 그렇지 않으면, 쓰기 및 소거 동작이 반복됨에 따라, 질화막에 전하가 계속해서 축적되어 문턱전압이 변하게 되며, 이로 인해 읽기 동작에서 오동작을 유발하게 된다.

<31> 이하에서는 종래 SONOS EEPROM 장치의 소거 방법의 문제점을 첨부된 도면을 참조하여 설명한다.

<32> 도 1은 종래 n-형 채널의 SONOS EEPROM 장치의 메모리 셀 하나를 개략적으로 나타내는 반도체 기판의 단면도로서 프로그램 동작시의 인가되는 전압을 나타내고 있으며, 도 2는 도 1의 메모리 셀에서 종래의 일 방법에 따라 소거 동작시 인가되는 전압을 나타내고 있으며, 도 3a는 도 1의 메모리 셀에서 종래의 또 다른 방법에 따라 소거 동작시 인가되는 전압을 나타내며 도 3b는 도 3a에서 인가된 전압을 나타낸 전압 인가 파형도이다. 도 3b에서, 가로축은 시간을 세로축은 전압을 나타낸다.

<33> 먼저 도 1을 참조하면, 메모리 셀(50)은 p-형 벌크(10), 상기 p-형 벌크(10) 내에 소정의 거리를 두고 형성된 드레인 영역(12) 및 소스 영역(14), 상기 드레인 영역(12) 및 소스 영역(14) 사이에 정의된 채널 영역(13), 상기 채널 영역(13) 상에 형성된 터널 산화막(16)-질화막(18)-차단 산화막(20)으로 이루어진 ONO막(22),

그리고 상기 ONO막(22) 상에 형성된 폴리실리콘 게이트 전극(24)으로 이루어 진다. 종래 기술에 따른 SONOS EEPROM 장치의 프로그램 방법은 상기 게이트 전극(24)에 프로그램 전압(V_{pp})을 인가하고, 나머지 단자인 소스 영역(14), 드레인 영역(12) 및 p-벌크(10)는 금속 콘택을 통해 접지시킨다. 이러한 전압 인가 조건에 따르면, 전자(electron)가 얇은 터널 산화막(16)을 파울러-노드하임(F-N) 터널링을 통해 질화막(16) 내에 포획된다. 이로써 메모리 셀이 프로그램된다.

<34> 다음 종래 기술에 따른 소거 방법을 도 2 및 도 3a 그리고 도 3b를 참조하여 설명한다. 종래 기술에 따른 SONOS EEPROM 장치의 소거 방법으로 첫 번째 방법은 도 2에 도시된 바와 같이 게이트 전극(24)에 음의 프로그램 전압($-V_{pp}$)을 인가하고 나머지 단자인 드레인 영역(12), 소스 영역(14) 및 p-벌크(10)는 프로그램 시와 동일하게 접지시킨다. 이렇게 하여, p-벌크(10)로 부터 터널 산화막(16)으로 홀(정공, hole)이 주입되어 질화막(18)에 포획된 전자를 보상시킴으로써 소거 동작이 이루어 진다. 하지만 이러한 방법의 문제점은 음의 전압($-V_{pp}$)을 게이트 전극(24)에 인가해야 하며, 이러한 음의 전압을 형성하여 인가하는데 어려움이 뒤따른다. n-채널에 있어서, 음의 전압을 생성하기 위한 새로운 회로가 필요하며, 또한 이러한 새로운 회로는 추가적인 면적을 차지하기 때문에 고집적화에 장애물이 된다.

<35> 한편, 음의 전압인가를 피하기 위한 방법으로 포켓-웰을 형성하고 여기에 전압을 인가하는 방법이 있으며, 도 3a 및 도 3b에 나타나 있다. 도 3a에 도시된 바와 같이, 별도로 n-형 벌크(10)에 포켓-p웰(11)을 형성한다. 포켓 p 웰(11)을 형성할 경우, 소거 방법은, 게이트 전극(24)은 접지시키고, 나머지 단자

들인 소스 영역(14), 드레인 영역(12), 포켓 p-웰(11) 그리고 n-형 벌크(10)에는 금속 콘택을 통해 소거 전압(V_{pp})을 인가한다. 그리고 이에 따른 전압 인가 방법이 도 3b에 개략적으로 도시되어 있다. 도시된 바와 같이, 이러한 방법은 별도로 포켓 p-웰(11)을 만들어 주어야 하기 때문에 공정이 복잡해지고 공정 비용이 증가하게 된다.

<36> 비록 도시하지는 않았지만, 종래 SONOS EEPROM 장치의 또 다른 소거 방법으로, 게이트 전극 및 벌크는 접지시키고, 소스 및 드레인 영역에 동일한 소거 전압을 인가하는 방법이 있다. 이 경우 채널 양측, 즉 소스 영역 및 드레인 영역에서 생성된 높은 에너지를 가지는 정공, 이른바, 핫 홀(hot hole)이 수직 방향으로, 즉, 소스 영역 및 게이트 전극 접합면 그리고 드레인 영역 및 게이트 전극 접합면으로 주입되기 때문에, 채널 중심부에서는 소거 동작이 제대로 이루어지지 않는다. 따라서, 쓰기/소거 사이클을 수행함에 따라 채널 중심부 상부의 질화막 내에는 포획된 전자가 소거 되지 않고 지속적으로 쌓이게 되어 결국에는 문턱전압을 높이고 센싱 마진을 떨어뜨리게 된다.

【발명이 이루고자 하는 기술적 과제】

<37> 따라서 본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 음의 전압을 인가하지 않고 그리고 포켓 웰 공정 없이 채널 전 영역에서 신뢰성 있는 소거 동작을 가능케 하는 새로운 비휘발성 메모리 장치의 소거 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<38> (구성)

<39> 상술한 본 발명의 목적을 달성하기 위한 바람직한 비휘발성 메모리 장치의 소거 방법에 따르면, 비휘발성 메모리 셀은 제1 도전형의 벌크영역, 상기 제1 도전형의 벌크영역에 서로 떨어져 형성된 제2 도전형의 제1불순물 확산영역 및 제2 도전형의 제2 불순물 확산영역, 상기 제1 불순물 확산영역 및 제2 불순물 확산영역 사이의 채널 영역 상에 형성된 전하저장 막질, 그리고 상기 전하저장 막질 상에 형성된 도전성 전극으로 이루어지며, 소거 동작을 수행하기 위해, 상기 벌크 영역에 소거시간 동안 가장 낮은 레벨을 갖는 벌크 전압을 인가한다. 그리고, 상기 도전성 전극에는 상기 소거시간 동안 상기 벌크 전압과 동일하거나 높은 전압 레벨을 갖는 게이트 전압을 인가한다. 또한, 상기 제1 불순물 확산영역에는 상기 소거시간 동안 상기 게이트 전압보다 높은 전압 레벨을 갖는 제1 전기적인 신호를 인가하고, 상기 제2 불순물 확산영역에는 상기 소거시간 동안 상기 게이트 전압보다 높으면서 상기 제1 전기적인 신호와는 다른 전압 레벨을 갖는 제2 전기적인 신호를 인가한다.

<40> 바람직한 실시예에 있어서, 상기 전하저장 막질은 차례로 적층된 터널 산화막, 전하저장 질화막 및 차단 산화막으로 이루어진 ONO막이다.

<41> 바람직한 실시예에 있어서, 상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형이며, 상기 제1 불순물 확산영역 및 제2 불순물 확산영역은 각각 소스 영역 및 드레인 영역이고(또는 드레인 영역 및 소스 영역) 상기 도전성 전극은 게이트 전극이다.

<42> 바람직한 실시예에 있어서, 상기 제1 전기적인 신호는 상기 게이트 전압보다 높고 서로 다른 전압 레벨을 갖는 제1 및 제2 전압이 적어도 1회 스위칭되는 전압 파형이다. 이때, 더 바람직하게는, 상기 제1 전기적인 신호가 상기 제1 전압을 유지하는 동안 상기 제2 전기적인 신호는 상기 제2 전압을 유지하고, 상기 제1 전기적인 신호가 상기 제2 전압을 유지하는 동안 상기 제2 전기적인 신호는 상기 제1 전압을 유지한다. 일 실시예에 있어서, 상기 제1 전압 및 상기 제2 전압은 각각 2 내지 6볼트 및 10볼트 이며, 상기 게이트 전압 및 상기 벌크 전압은 각각 0볼트 이다.

<43> 상술한 본 발명의 목적을 달성하기 위한 바람직한 비휘발성 메모리 장치의 소거 방법에 따르면, 제 1 도전형의 벌크 영역, 상기 벌크 영역 상에 형성된 게이트 전극 및 상기 게이트 전극 양측의 벌크 영역에 형성된 제 2 도전형의 소스 영역 및 드레인 영역으로 이루어진 메모리 셀의 소거 방법에 있어서, 소거시간 동안 상기 소스 영역 및 드레인 영역에 서로 다른 레벨의 전압을 적어도 1회 이상 스위칭시켜 인가하는 것을 특징으로 한다.

<44> 본 발명에 따르면, 소스 영역 및 드레인 영역에 서로 다른 크기의 전압 레벨을 스위칭시켜 인가한다. 따라서, 소거 동작 동안, 소스 영역 및 드레인 영역 각각에 홀 주입 피크가 나타나게 되고 또한 소스 영역 및 드레인 영역 사이의 전압 차에 의해서 채널 측면 방향으로의 홀 주입 성분도 추가되어 전체적으로 균일하고 빠른 소거 동작을 할 수 있다.

<45> (실시예)

<46> 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명은 비휘발성 메모리 장치의 소거 방법에 관한 것으로서, SONOS EEPROM 장치를 일실시예로 설명한다. 하지만, 부유 게이트 EEPROM 장치에도 동일하게 적용될 수 있다. 또한 SONOS EEPROM 장치의 n-형 채널에 대해서만 설명하지만, 동일한 발명적 사상 내에서 p-형 채널에도 적용될 수 있다.

<47> 도 4a는 본 발명에 따른 SONOS EEPROM 장치를 구성하는 프로그램된 하나의 메모리 셀 트랜지스터(500)에 소거 전압이 인가된 상태를 개략적으로 나타내고 있다. 상기 메모리 셀 트랜지스터(500)는 p-형의 벌크(100), 상기 p-형 벌크(100) 내에 소정의 거리를 두고 형성된 제1 불순물 확산영역(120) 및 제2 불순물 확산영역(140), 상기 불순물 확산영역들(120, 140) 사이에 정의된 n-형 채널 영역(130), 상기 n-형 채널 영역(130) 상에 형성된 전하저장 막질(220) 및 상기 전하저장 막질(220) 상에 형성된 도전성 전극(240)으로 형성되어 있다. 구체적으로 상기 전하저장 막질(220)은 터널 산화막(160), 전하저장 질화막(180) 그리고 차단 산화막(200)이 상기 채널 영역(130) 상부에 차례로 적층되어 이루어 진다. 상기 제1 불순물 확산영역(120) 및 제2 불순물 확산영역(140)은 각각 상기 p-형 벌크(100)에 대해서 반대 도전형인 n-형 불순물이 주입되어 형성된 드레인 영역(120) 및 소스 영역(140)이고 상기 도전성 전극(240)은 폴리사이드 게이트 전극이다. 비록 도면에는 도시되어 있지 않지만, 상기 p-형 벌크(100), 상기 불순물 확산영역들(120, 140)에 금속 콘택이 형성되어 있다. 따라서, SONOS EEPROM 장치의 경우 하나의 메모리 셀 트랜지스터(500)는 네개의 단자를 갖는다.

<48> 프로그램시에는 상기 게이트 전극(240)에 프로그램 전압(V_{pp})을 인가하고, 나머지 단자인 벌크(100), 드레인 영역(120) 및 소스 영역(140)은 접지 시킨다. 이로 인해 유기된 전자가 F-N 터널링으로 상기 터널 산화막(160)을 통해 상기 전하저장 질화막(180)내에 포획되고 셀 트랜지스터의 문턱전압을 높이게 된다. 하지만 본 발명은 프로그램된 EEPROM 장치의 소거 방법에 관한 것이기 때문에 프로그램이 어떠한 방법으로 진행되었던지 상관없이 본 발명의 소거 방법이 적용된다.

<49> 한편, 부유 게이트 EEPROM 장치의 경우 상기 전하저장 막질(220)이 터널 산화막, 부유 게이트막 그리고 유전막으로 이루어 지며, 전하가 부유 게이트막 내에 저장된다.

<50> 이제 본 발명의 일 실시예에 따른 소거 방법에 대해서 상세히 설명한다. 도시된 바와 같이 본 발명에 따른 SONOS EEPROM 장치의 n-형 채널에 있어서의 소거 방법을 설명한다. 본 발명에 따르면, 종래와 달리 별도의 포켓 웰 공정을 필요로 하지 않으면서 또한 게이트에 음의 전압을 인가하지 않을 수 있다. 즉, 벌크(100)에 인가하는 전압인 벌크 전압(V_b)은 0볼트(접지)이다. 그리고 게이트 전극(240)에 인가하는 게이트 전압(V_g)은 벌크 전압과 동일하게 0볼트이거나 또는 더 높은 전압 레벨을 가진다. 그리고, 드레인 영역(120) 및 소스 영역(140)에는 상기 게이트 전극(240)에 인가하는 게이트 전압(V_g) 보다 더 높은 전압으로 드레인 전압(V_d) 및 소스 전압(V_s)을 각각 인가하며, 이때, 드레인 전압(V_d) 및 소스 전압(V_s)은 서로 다른 크기를 가진다.

<51> 바람직하게는 상기 게이트 전압(V_g)은 상기 벌크 전압(V_b)과 마찬가지로 접지되는 것이 좋으며, 이는 상기 게이트 전압(V_g)과 상기 소스 전압(V_s) 및 상기 게이트 전압(V_g)과 상기 드레인 전압(V_d)과의 전위차가 커져 핫 홀(hot hole)의 주입이 더 효과적이기 때문이다. 전위차를 더욱 크게 하기 위해 게이트 전극에 음의 전압을 인가할 수도 있을 것이다.

<52> n-형 채널에 있어서, 본 발명에 따른 전압 인가의 상대적인 전압 레벨의 크기를 보면, 드레인 전압(V_d) > 소스 전압(V_s) > 게이트 전압(V_g) \geq 벌크 전압(V_b) 또는 소스 전압(V_s) > 드레인 전압(V_d) > 게이트 전압(V_g) \geq 벌크 전압(V_b) 조건이다. 또한 더 바람직하게는 상기 소스 전압(V_s) 및 상기 드레인 전압(V_d)을 스윙칭해서 인가한다. 여기서 상기 드레인 전압(V_d) 및 상기 소스 전압(V_s)은 p-형의 벌크와 n-형의 소스 영역 및 드레인 영역 사이에 형성되는 pn 접합의 내압 특성에 좌우된다. 예를 들어 pn 접합이 약 12V(볼트)의 내압 특성을 가질 경우 드레인 전압은 약 10V, 소스 전압은 약 2-6V(또는 드레인 전압은 약 2-6V, 소스 전압은 약 10V), 게이트 전압은 접지된다. 따라서 pn접합의 내압 특성에 따라서 인가되는 전압의 크기는 조절될 수 있음은 당연하다.

<53> 도 4b는 상기와 같은 pn 접합의 내압 특성의 경우, 본 발명의 일 실시예에 따른 소거 방법에 따라, 각 단자에 인가되는 전압을 소거 시간을 가로축(또는 X축)으로 하고, 인가되는 전압 크기를 세로축(또는 Y축)으로 하여 각 단자별로 나타낸 전압 인가 파형도이다.

<54> 도시된 바와 같이 게이트 전압(V_g) 및 벌크 전압(V_b)은 0볼트로 하고(접지하고), 소정의 소거 시간(T_e) 동안 소스 전압(V_s)은 게이트 전압(V_g) 보다 큰 전

압인 약 4V로 하고, 드레인 전압(V_d)은 게이트 전압(V_g) 보다 높으면서 소스 전압과 다른 전압 레벨인 약 10V로 한다. 또한 변형된 방법으로 소스 전압(V_s)을 10V로, 드레인 전압(V_d)을 4V로 할 수 있으며, 도 4c에 그 전압 인가 파형도가 나타나 있다.

<55> 본 실시예에 따르면, 소스 영역 및 드레인 영역에 서로 다른 크기의 전압을 인가한다. 따라서, 예를 들어 도 4b와 같이 드레인 전압(V_d)이 소스 전압(V_s)보다 더 높은 레벨을 가질 경우, 도 4d에 도시된 바와 같이 게이트 전극(240) 및 드레인 영역(120) 사이의 전계 $\vec{E_v} = (V_d - V_g)/d_1$ (d_1 =게이트 전극 및 드레인 영역 사이 거리) 뿐 아니라 드레인 영역(120) 및 소스 영역(140) 사이의 전계 $\vec{E_l} = (V_d - V_s)/d_2$ (d_2 =소스 영역 및 드레인 영역 사이의 거리)도 발생한다. 즉, 이들 전계들로 인해 드레인 영역에 발생한 높은 에너지를 가지는 정공(hot hole)이 드레인 영역 및 게이트 전극 사이의 수직 방향으로의 주입(injection) 뿐 아니라 드레인 영역 및 소스 영역 사이의 수평 방향, 즉, 채널을 따라 수평 방향(채널에 나란한 방향)으로의 주입 성분도 가지고 있다. 따라서, 정공이 주입되는 방향은 이들 두 성분 사이의 벡터 합으로 주어지는 방향($\vec{E_hole} = \vec{E_v} + \vec{E_l}$)으로 주입되게 되어 채널 전 영역에서 소거 동작이 이루어 지게 되며 따라서 소거 동작의 효율을 높인다.

<56> 또한 더 바람직하게는, 상기 드레인 전압(V_d) 및 소스 전압(V_s)을 상기 소거 시간(T_e) 동안 적어도 1회 이상 스위칭한다. 일 예로 도 5a에 도시된 바와 같이 상기 소거 시간(T_e) 중 일정 시간, 예를 들어 상기 소거 시간(T_e)의 절반인 $T_e/2$

동안은 드레인 전압(V_d)을 10V로, 소스 전압(V_s)을 4V로 하고 나머지 시간인 $T_e/2$ 동안에는 이들 전압 레벨을 스위칭하여, 즉 인가하는 전압의 크기를 스위칭 하여, 즉 드레인 전압(V_d)을 4V로, 소스 전압(V_s)을 10V로 한다. 또한 도 5d에 도시된 바와 같이, 처음 $T_e/2$ 동안에 소스 전압(V_s)에 높은 전압 레벨을 드레인 전압(V_d)에 낮은 전압 레벨을 인가하고 그리고 나중 $T_e/2$ 동안에 드레인 전압(V_d)에 높은 전압 레벨을 소스 전압(V_s)에 낮은 전압 레벨을 인가할 수 있다. 여기서, 당업자라면 소스 영역 및 드레인 영역에 인가하는 전압을 스위칭 하는 시간 및 그 크기를 변경하여 실시할 수 있다. 즉, 첫 번째 스위칭 시간과 두 번째 스위칭 시간을 서로 달리할 수 있다. 또한 총 스위칭 시간이 상기 소거 시간(T_e) 보다 커질 수도 있다.

<57> 소스 영역 및 드레인 영역에 인가하는 전압을 스위칭 할 경우, 정공이 주입 되는 방향을 화살표를 통해 대략적으로 도 5b에 도시하였다. 도 5b에서 ①로 표시된 화살표는 소스 영역에 비해서 드레인 영역에 더 높은 전압을 인가했을 경우이고, ②로 표시된 화살표는 드레인 영역에 비해서 소스 영역에 더 높은 전압을 인가 했을 경우이다. 따라서 소스 영역 및 드레인 영역에 인가하는 전압을 스위칭 할 경우, 채널 전 영역에서 균일한 소거 동작을 수행할 수 있다. 이는 앞서 설명한 바와 같이 소스 영역 및 드레인 영역 사이에 형성된 전계로 인해 채널 측면 방향으로의 홀의 주입 성분이 추가 되었기 때문이다.

<58> 도 5c는 정공이 주입되는 정도(정공 주입량)를 채널 길이에 따라 개략적으로 나타낸 도면이다. 도 5c에서 가로축은 채널 길이를 나타내고 세로축은 정공이 주

입되는 정도(정공 주입량)를 개략적으로 나타낸다. 도식된 바와 같이, 드레인 영역에 더 높은 전압을 인가할 경우, 상대적으로 드레인 영역 쪽에서 정공의 주입이 많고(①), 소스 영역에 더 높은 전압을 인가할 경우, 상대적으로 소스 영역 쪽에서 정공의 주입이 많다(②). 따라서 인가하는 전압을 스위칭 할 경우 이들 각각의 합으로 정공의 주입이 일어나게 되며 채널 전 영역에서 균일한 정공의 주입이 일어난다(③).

<59> 도 6a 및 도 6b는 본 발명에 따른 소거 전압 인가의 다양한 변형예를 보여주는 전압 파형도이다. 도 6a는 소스 영역 및 드레인 영역에 인가하는 전압을 2회 스위칭하는 경우를 도시하고 있다. 즉, $T_e/3$ 시간 간격으로 소스 영역 및 드레인 영역에 인가하는 전압을 스위칭하고 있다. 도면에는 소스 영역에 먼저 높은 전압을 인가한 경우를 도시하고 있으나 반대로 드레인 영역에 먼저 높은 전압을 인가할 수 있다. 도 6b는 스위칭을 3회 하는 경우의 전압 인가 파형을 도시하고 있다. 따라서 $T_e/4$ 시간 간격으로 소스 영역 및 드레인 영역에 인가하는 전압을 스위칭 하고 있다. 앞서서도 언급한 바와 같이, 각각 스위칭 하는 시간을 서로 달리할 수 있으며, 총 스위칭 시간이 소거 시간(T_e) 보다 클 수 도 있다.

<60> 이제 본 발명에 따른 실험예를 설명한다. 도 7은 게이트 전극에 약 11V를 인가하고, 드레인 영역에 6V를 인가하고, 소스 영역 및 벌크는 접지하여 프로그램을 진행한 후, 프로그램된 셀에 대해서 종래 방법 및 본 발명의 여러 실시예에 따른 새로운 소거 방법을 적용했을 때 이에 따른 소거 시간 및 문턱전압 변화를 나타내는 그래프이다. 본 실험에 사용된 메모리 셀에서, 게이트 전극은 약 2000

Å 두께의 폴리사이드막으로 형성하였고, ONO막은 각각 80Å의 두께를 가지는 산화막, 질화막, 산화막이 적층된 막으로 형성하였으며, 소스 영역 및 드레인 영역은 비소를 약 60KeV로 약 5×10^{15} atoms/cm² 정도의 도즈로 주입하였고, 채널 영역은 BF²⁺를 약 60KeV로 약 1.0×10^{12} atoms/cm² 정도의 도즈로 주입하였다. 도 7의 그래프에서, 가로 축(혹은 X축)은 소거 시간(단위:초)을 가리키고 세로 축(혹은 Y축)은 문턱전압 변화량(단위:볼트)을 나타낸다. 도 7에서 참조 표시 - ◆ - 는 소거 시간(Te) 동안 벌크 및 게이트 전극은 접지시키고, 소스 영역 및 드레인 영역에 동일한 전압 레벨로 각각 10V를 인가했을 경우(사례 1)이다. 그리고, 참조 표시 - ■ - 는 동일한 소거 시간(Te) 동안 벌크 및 게이트 전극은 접지시키고 소스 영역에는 4V를 드레인 영역에는 10V를 인가했을 경우이다(도 4b의 전압 인가 조건에 대응, 사례 2). 마지막으로 참조표시 - ▲ - 는 동일한 조건에서 상기 소거 시간(Te)을 1/2로 나누어 소스 영역 및 드레인 영역에 10V/4V 및 4V/10V를 인가했을 경우(도 5d의 전압 인가 조건에 대응, 사례 3)이다. 도시된 바와 같이, 소스 영역 및 드레인 영역에 서로 다른 크기의 전압을 인가했을 때가 동일한 전압을 인가했을 경우보다 문턱전압 변화에 있어서 큰 차이를 나타냄을 알 수 있으며, 더 나아가서, 소스 영역 및 드레인 영역에 인가되는 전압을 스위칭 했을 때 더 양호한 결과가 나타남을 알 수 있다.

<61> 또한 도 8a 내지 도 8c에 상기 도 7의 각각의 사례에 대응하는 쓰기/소거 사이클(write/erase cycle)에 대한 내성(endurance) 특성을 측정한 결과가 도시되어

었다. 도 8a는 도 7의 사례 1의 소거 방법을 적용한 결과이고, 도 8b는 도 7의 사례 2의 소거 방법을 적용한 결과이고, 도 8c는 도 7의 사례 3을 적용한 결과이다. 도 8a 내지 도 8c에서 측정된 문턱 전압은 드레인 영역에 1.5 볼트를 가하고 드레인 전류가 $1\mu\text{A}$ 일때의 게이트 전압을 측정한 것이다. 각 도면에서 가로축(X축)은 쓰기/소거 싸이클 회수를 나타내고 세로 축(Y축)은 셀 문턱전압(단위: 볼트)을 나타낸다. 도시된 바와 같이, 사례 1에서 사례 2, 사례 2에서 사례 3으로 갈수록 그 내성 특성이 양호해짐을 알 수 있다. 이는 소스 영역 및 드레인 영역 사이의 전압차로 인해 형성된 전기장에 의해 정공의 채널 측면 방향으로의 주입 성분이 추가되었기 때문에 채널 전 영역에서 균일한 소거가 이루어졌기 때문이다.

<62> 이제까지 SONOS EEPROM 장치의 n-채널의 경우를 일 예로 들어 본 발명의 소거 방법을 설명하였지만, 동일한 기술적 사상의 범위 안에서 p-채널에도 적용될 수 있을 것이다. 또한 부유 게이트 EEPROM 장치에도 적용된다.

<63> 바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 따라서 본 발명의 청구범위의 진정한 범위 및 사상은 상기 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

【발명의 효과】

<64> 이상 본 발명에 따르면, 종래와 달리 벌크에 전압을 인가하기 위해 별도의 포켓 웰을 필요로 하지 않으며, 또한 n-채널의 경우, 음의 전압을 게이트 전극에

인가하지 않고서도 채널 전 영역에서 균일한 정공의 주입을 할 수 있어 신뢰성
있는 소거 동작을 가능케 한다.

【특허청구범위】

【청구항 1】

제1 도전형의 벌크영역, 상기 제1 도전형의 벌크영역에 서로 떨어져 형성된 제2 도전형의 제1불순물 확산영역 및 제2 도전형의 제2 불순물 확산영역, 상기 제1 불순물 확산영역 및 제2 불순물 확산영역 사이의 채널 영역 상에 형성된 전하저장 막질, 그리고 상기 전하저장 막질 상에 형성된 도전성 전극으로 이루어진 메모리 셀을 갖는 메모리 장치의 소거 방법에 있어서,

상기 벌크영역에 소거시간 동안 가장 낮은 레벨을 갖는 벌크 전압을 인가하는 단계;

상기 도전성 전극에 상기 소거시간 동안 상기 벌크 전압과 동일하거나 높은 전압 레벨을 갖는 게이트 전압을 인가하는 단계;

상기 제1 불순물 확산영역에 상기 소거시간 동안 상기 게이트 전압보다 높은 전압 레벨을 갖는 제1 전기적인 신호를 인가하는 단계; 및

상기 제2 불순물 확산영역에 상기 소거시간 동안 상기 게이트 전압보다 높으면서 상기 제1 전기적인 신호와는 다른 전압 레벨을 갖는 제2 전기적인 신호를 인가하는 단계를 포함하는 비휘발성 메모리 장치의 소거방법.

【청구항 2】

제1항에 있어서,

상기 전하저장 막질은 차례로 적층된 터널 산화막, 전하저장 절화막 및 차단 산화막으로 이루어진 ONO막인 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 3】

제 1 항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 4】

제 1 항에 있어서,

상기 벌크 전압은 0볼트인 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 5】

제 1 항에 있어서,

상기 제1 전기적인 신호는 상기 게이트 전압보다 높고 서로 다른 전압 레벨을 갖는 제1 및 제2 전압이 적어도 1회 스위칭되는 전압 파형인 것을 특징으로 하는 비휘발성메모리 장치의 소거 방법.

【청구항 6】

제 5 항에 있어서,

상기 제1 전기적인 신호가 상기 제1 전압을 유지하는 동안 상기 제2 전기적인 신호는 상기 제2 전압을 유지하고, 상기 제1 전기적인 신호가 상기 제2 전압

을 유지하는 동안 상기 제2 전기적인 신호는 상기 제1 전압을 유지하는 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 7】

제 6 항에 있어서,

상기 제1 전압은 2 내지 6볼트이고, 상기 제2 전압은 10볼트 인것을 특징으로 하는 비휘발성메모리 장치의 소거 방법.

【청구항 8】

제 6 항 또는 제 7 항에 있어서,

상기 게이트 전압 및 상기 벌크 전압은 각각 0볼트인 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 9】

제 1 도전형의 벌크 영역, 상기 벌크 영역 상에 형성된 게이트 전극 및 상기 게이트 전극 양측의 벌크 영역에 형성된 제 2 도전형의 소스 영역 및 드레인 영역으로 이루어진 메모리 셀의 소거 방법에 있어서,

소거시간 동안 상기 소스 영역 및 드레인 영역에 서로 다른 레벨의 전압을 적어도 1회 이상 스위칭시켜 인가하는 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 10】

제 9 항에 있어서,

상기 제 1 도전형은 p-형이고, 제 2 도전형은 n-형이며,

상기 벌크 영역에는 벌크 전압으로 0볼트를 인가하고, 상기 게이트 전극에는 상기 벌크 전압과 동일하거나 높은 전압 레벨을 갖는 게이트 전압을 인가하는 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 11】

제 9 항 또는 제 10 항에 있어서,

상기 소스 영역 및 드레인 영역에 스위칭시켜 인가하는 전압은 상기 게이트 영역에 인가하는 전압 레벨 보다 더 큰 전압 레벨을 갖는 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【청구항 12】

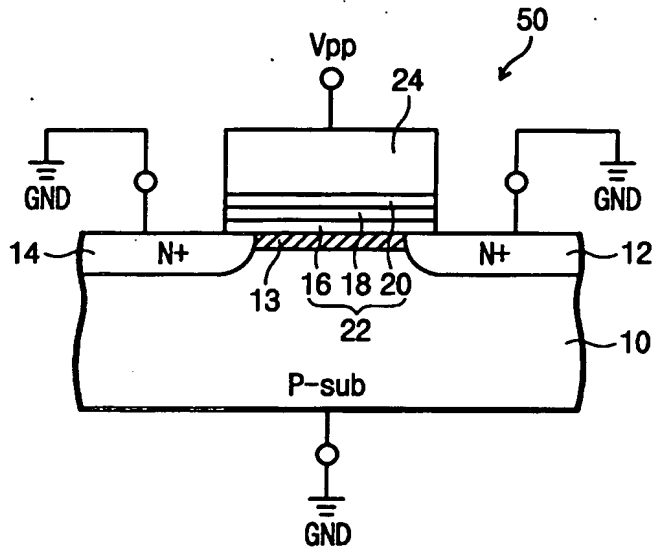
제 9 항에 있어서,

상기 소스 영역 및 드레인 영역에 스위칭하여 인가하는 서로 다른 레벨의 전압은 2 내지 6볼트 및 10볼트 인 것을 특징으로 하는 비휘발성 메모리 장치의 소거 방법.

【도면】

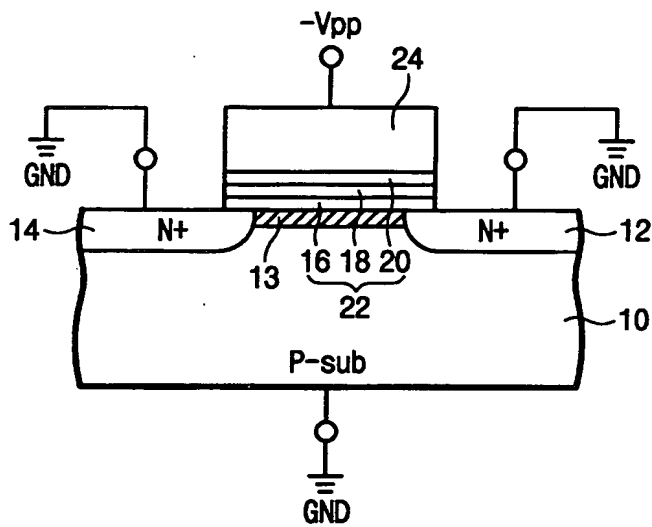
【도 1】

(종래 기술)



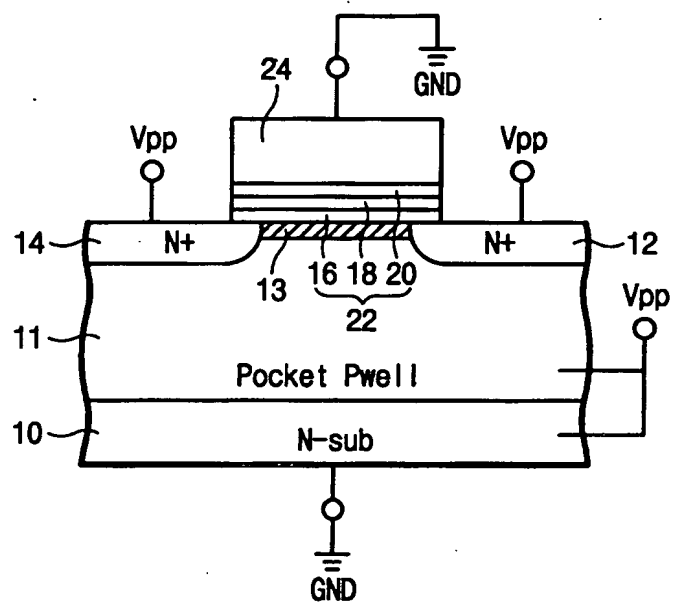
【도 2】

(종래 기술)



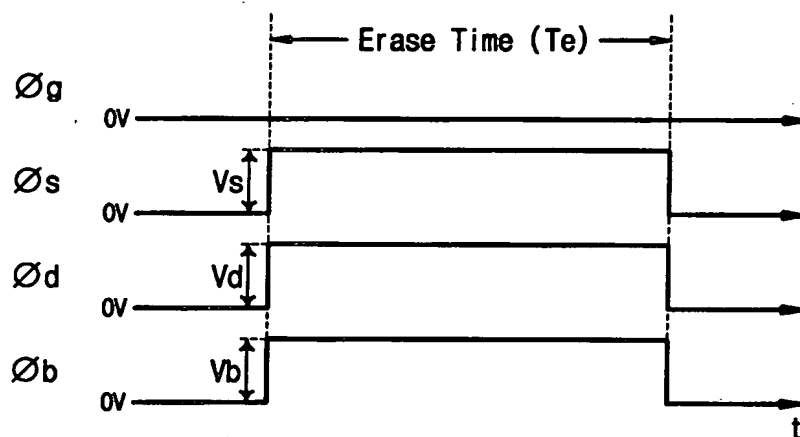
【도 3a】

(종래 기술)

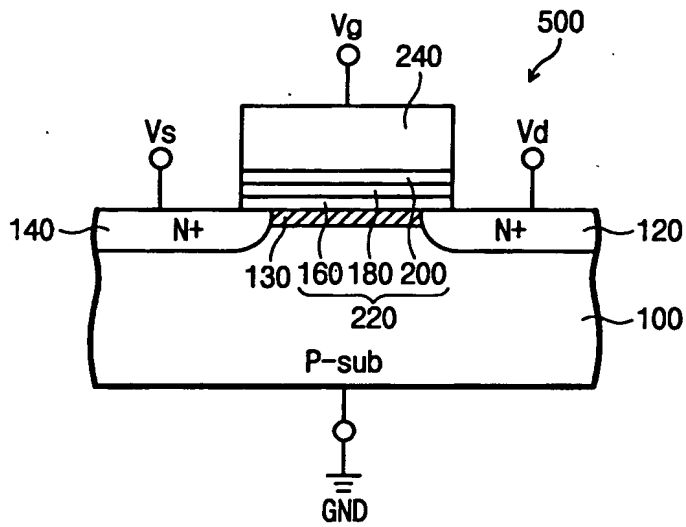


【도 3b】

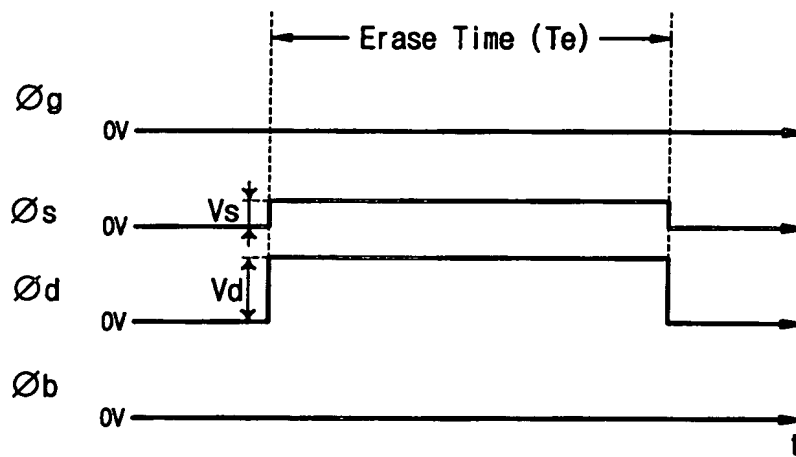
(종래 기술)



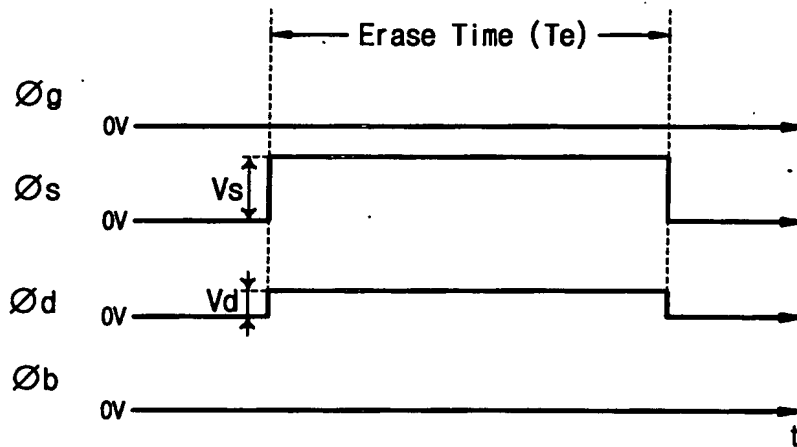
【도 4a】



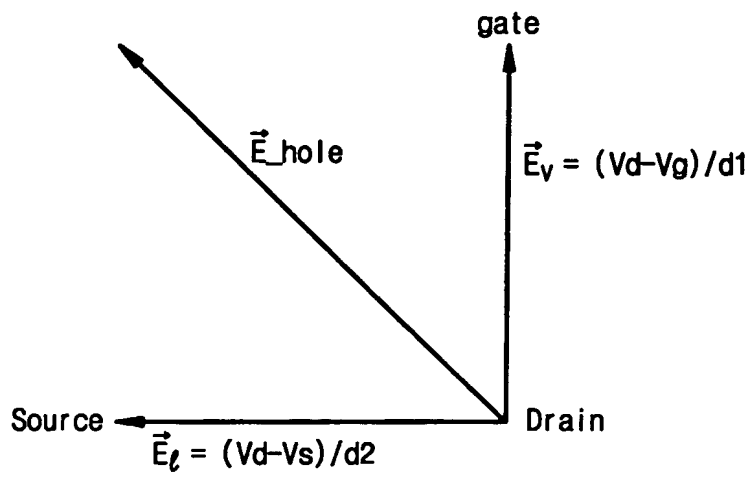
【도 4b】



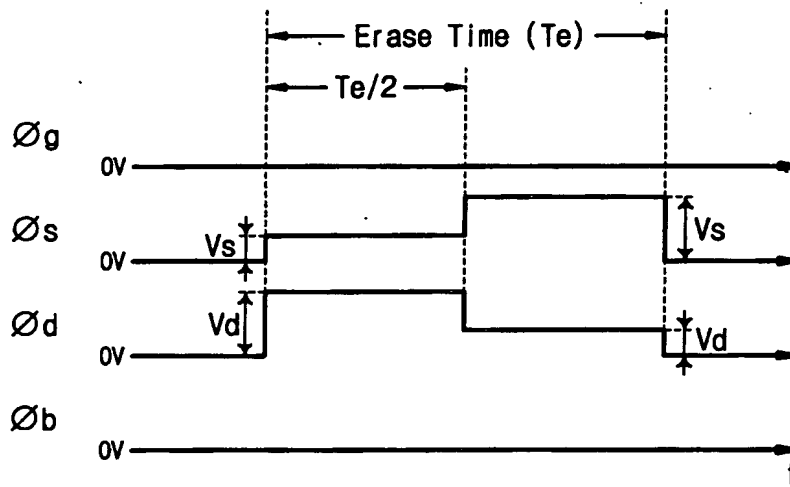
【도 4c】



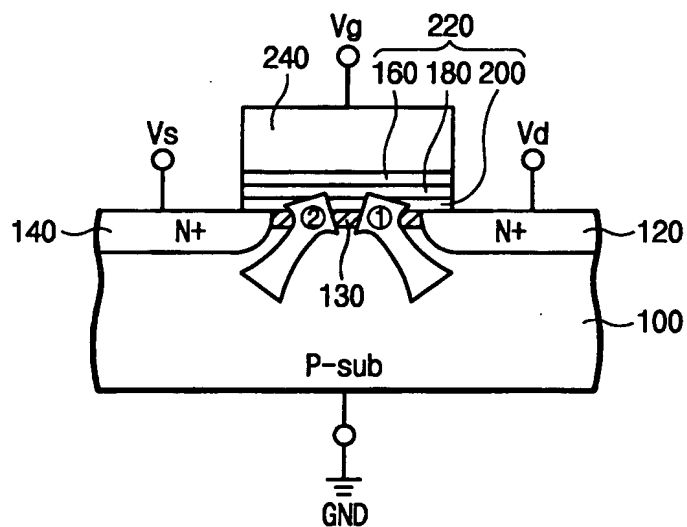
【도 4d】



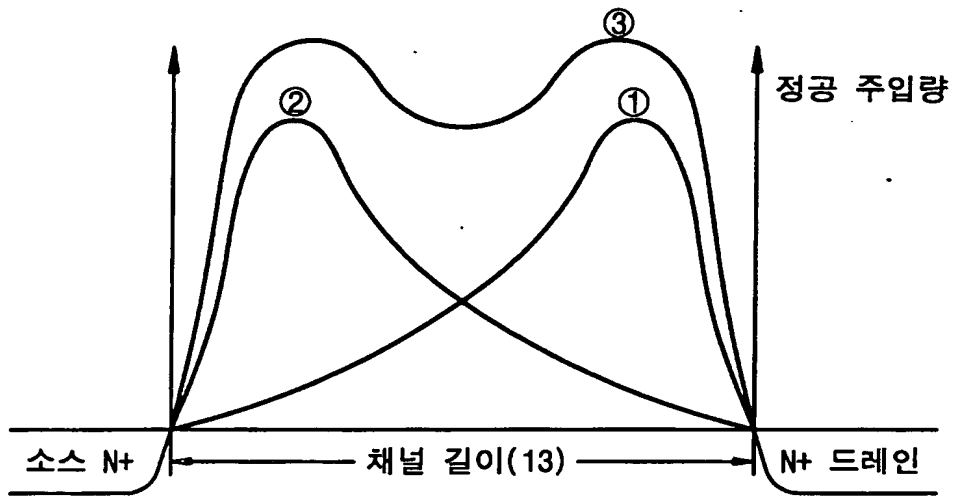
【도 5a】



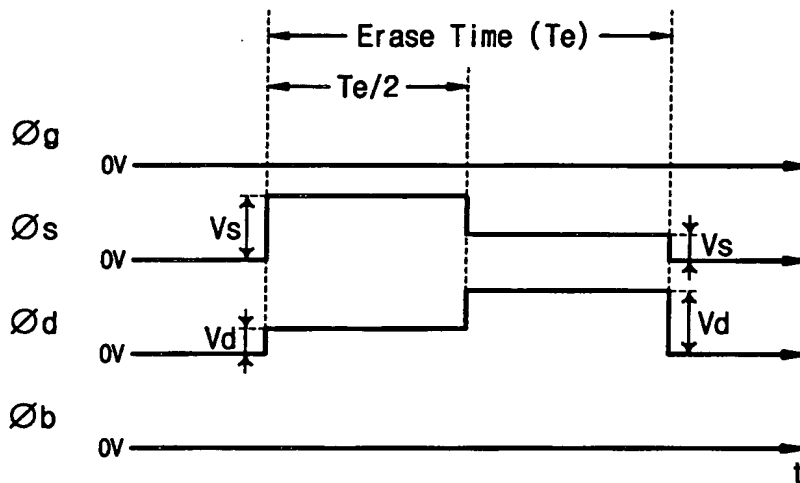
【도 5b】



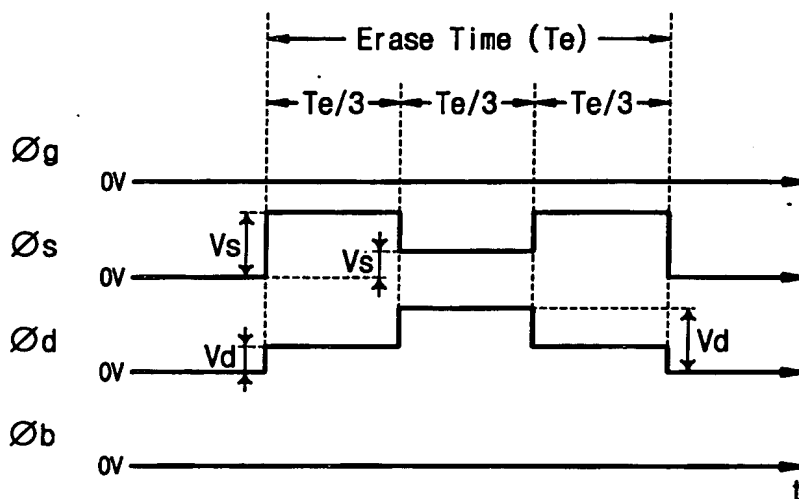
【도 5c】



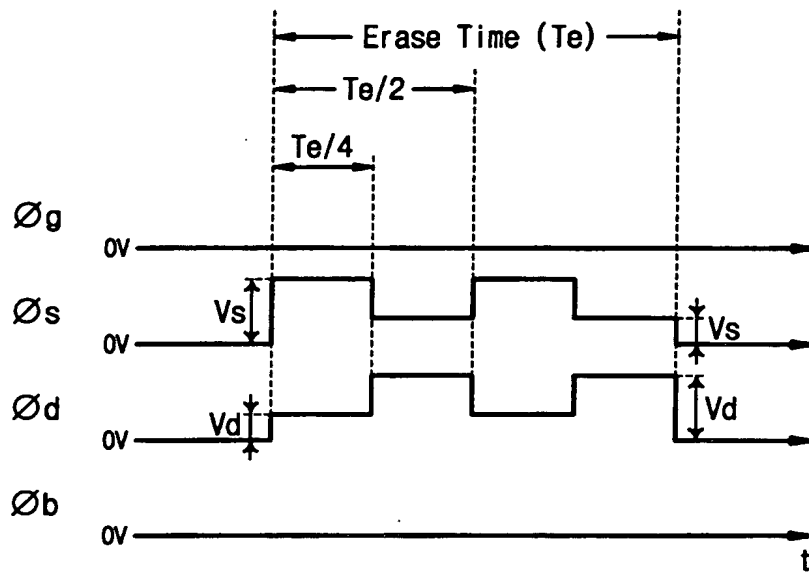
【도 5d】



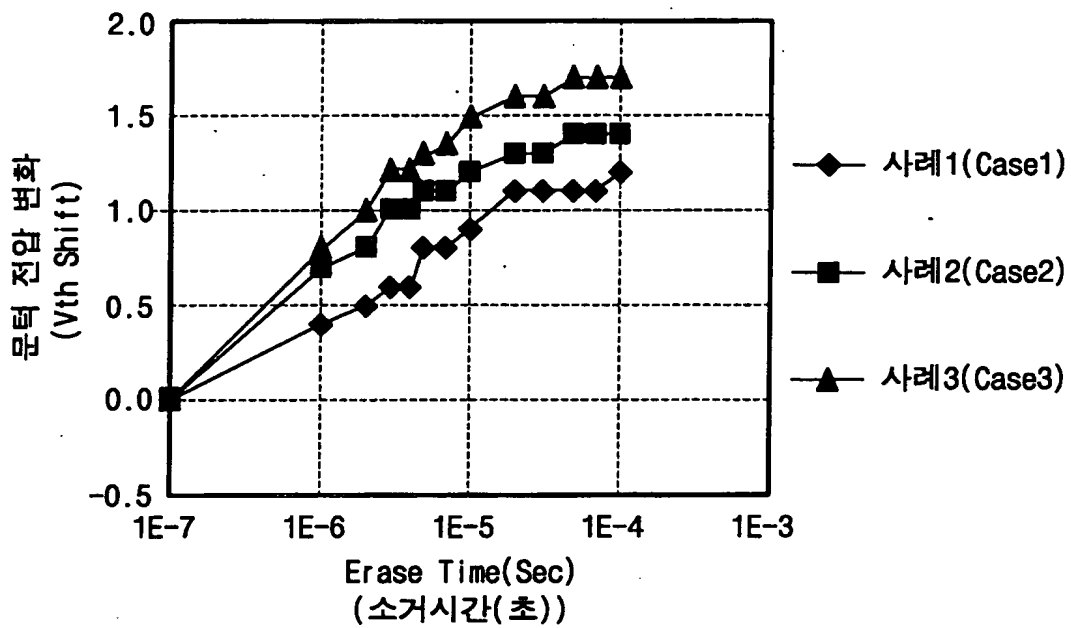
【도 6a】



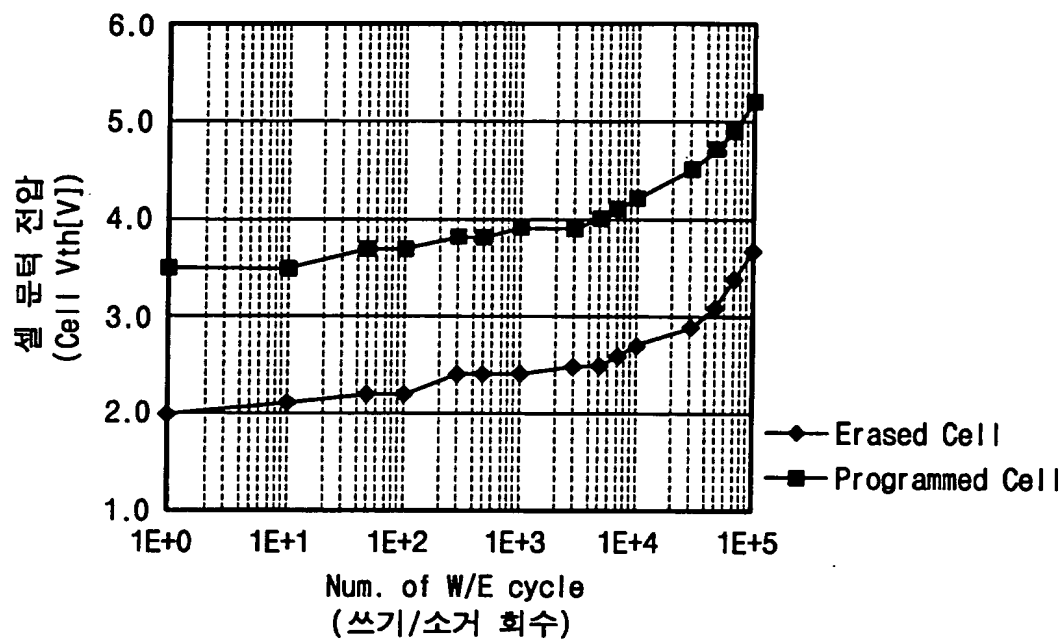
【도 6b】



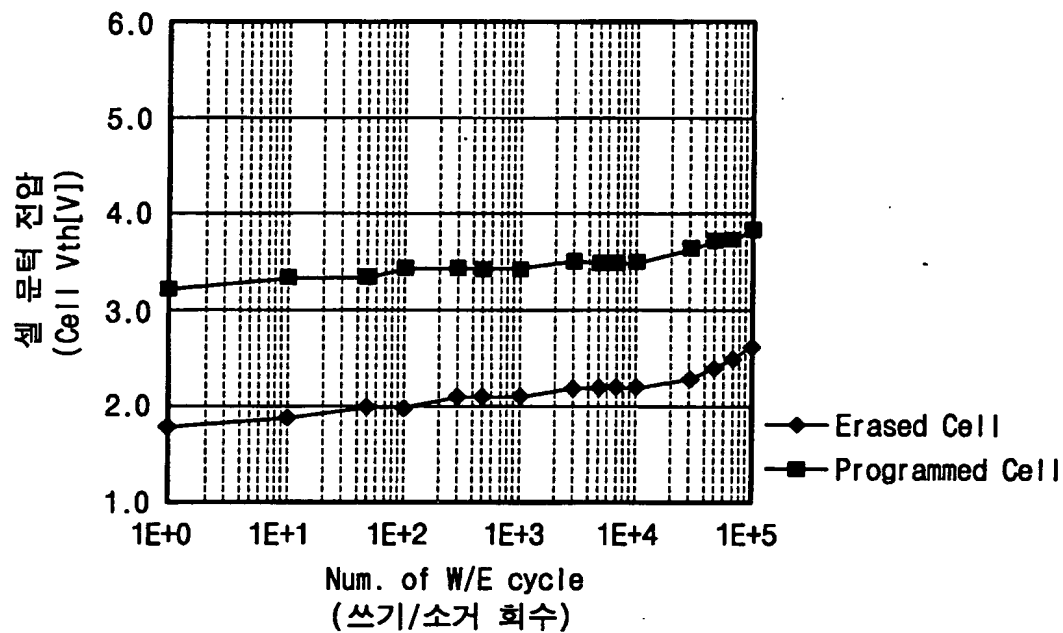
【도 7】



【도 8a】



【도 8b】



【도 8c】

